

日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1000 U.S. PTO
09/908941
07/20/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月24日

出 願 番 号

Application Number:

特願2000-223125

出 願 人

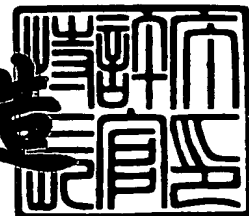
Applicant(s):

三洋電機株式会社

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3039928

合せ等に用いられるアライメントマーク（位置検出溝）を備える半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置の微細化や高集積化に伴い、その製造工程、特にフォトリソグラフィ工程に際しては、半導体基板上に形成されたパターンと次に形成されるパターンのためのフォトマスクとを精度よく重ね合わせることが益々重要になってきている。そして、このようなフォトマスクの位置合せは、例えば、特開平11-67620号公報に記載されているように、基板上に形成されたアライメントマーク（位置検出溝）の位置を検出することで行われる。なお、このアライメントマークは通常、上記フォトマスクの位置合せのみを目的として形成される。

【0003】

一方、半導体装置の素子分離構造としてLOCOS (Local Oxidation of Silicon)法が用いられ、素子分離絶縁膜が形成された半導体基板上に導電膜のパターニングを行うような場合には、それら素子分離のための絶縁膜と素子領域との間の段差部を上記アライメントマークとして利用することができる。すなわちこの場合、アライメントマークを形成するための何ら特別な工程を設けずとも、同段差の位置をアライメントマークとして検出することで、上記必要とされる位置合せを行うことができるようになる。

【0004】

【発明が解決しようとする課題】

ところで近年、半導体装置の更なる微細化、高集積化に対応するために、素子分離構造としても、上記LOCOS法に代わり、STI (Shallow Trench Isolation)法が用いられることが多い。ただし、このSTI法を用いて各素子領域の分離を行う場合、上述したアライメントマークの形成に関して、新たに次のような問題が生じることがある。以下、図4及び図5を用いて、STI法を用いた素子分離溝の形成工程を説明しつつ、この問題について述べる。

【0005】

このSTI法にあっては、その素子分離溝の形成に先立ち、まず図4（a）

に示すように、半導体基板 1 0 1 上にシリコン酸化膜 1 1 1' 及びシリコン窒化膜 1 1 2 a を積層形成した後、リソグラフィ法によって素子分離溝の開口パターンに対応した所望のパターンのレジスト 1 1 3 を形成する。

【 0 0 0 6 】

次に、図 4 (b) に示すように、上記レジスト 1 1 3 をマスクとして異方性エッチング法によりシリコン窒化膜 1 1 2 a をエッチングし、上記パターンに対応した所望のパターンにてシリコン窒化膜 1 1 2 b を形成する。そして、このシリコン窒化膜 1 1 2 b をマスクとした異方性エッチング法により、シリコン酸化膜 1 1 1' と半導体基板 1 0 1 とをエッチングすることで、半導体基板 1 0 1 に素子分離溝 1 4 0 及びアライメントマーク用の溝 1 5 0 を形成する。またこのとき、同時に素子領域 1 2 0 や素子領域 1 3 0 が区画形成される。

【 0 0 0 7 】

その後、図 4 (c) に示すように、HDP-CVD (High Density Plasma-Chemical Vapor Deposition) 法により、全面にシリコン酸化膜 1 1 4 を形成する。そして更に、図 5 (a) に示すように、シリコン酸化膜 1 1 4 の窪んだ領域、すなわち上記各溝 1 4 0 及び 1 5 0 の存在に起因して同シリコン酸化膜 1 1 4 の基板面からの高さが低くなっている領域の上方にリソグラフィ法によりレジスト 1 1 5 を形成し、これをマスクとしてシリコン酸化膜 1 1 4 のエッチングを行う。なお、ここでの処理は、後述する半導体基板 1 0 1 表面のCMP (Chemical Mechanical Polish) 法による平坦化を補助するために施す処理である (例えば、「Joost Grillaert et al, "A novel approach for the elimination of the pattern density dependence of CMP for shallow trench isolation: (トレンチ形成におけるCMP法のパターン依存性の除去について) ", CMP-MIC, pp.313-318, 1998」参照)。

【 0 0 0 8 】

上記態様にて、シリコン酸化膜 1 1 4 の一部を除去した後は、図 5 (b) に示すように、レジスト 1 1 5 を除去した後、CMP法によってシリコン窒化膜 1 1 2 b をストップ膜として、同シリコン窒化膜 1 1 2 b とシリコン酸化膜 1 1 4 とを平坦化する。なお、図 5 (b) においては、この平坦化されたシリコン窒化膜

をシリコン窒化膜 1 1 2 c として表記し、同じく平坦化されたシリコン酸化膜については、上記素子分離溝 1 4 0 に埋め込まれているものを 1 4 1 a、また上記アライメントマーク用の溝 1 5 0 に埋め込まれているものをシリコン酸化膜 1 5 1 a としてそれぞれ表記している。

【 0 0 0 9 】

そして、図 5 (c) に示すように、熱燐酸により上記平坦化されたシリコン窒化膜 1 1 2 c を選択的に除去してから、フッ酸によりシリコン酸化膜 1 1 1 を除去することで、半導体基板 1 0 1 上に素子分離領域 1 4 1 b 並びにアライメントマーク領域 1 5 1 b を形成する。なお、これら素子分離領域 1 4 1 b 及びアライメント領域 1 5 1 b は、上記シリコン窒化膜 1 1 2 c やシリコン酸化膜 1 1 1 の除去後に残留したシリコン酸化膜 1 4 1 a 及び 1 5 1 a によって形成されている。

【 0 0 1 0 】

こうして素子分離領域 1 4 1 b 及びアライメントマーク領域 1 5 1 b を形成した後は、所望とする半導体装置に応じた洗浄工程やイオン注入工程を経た後、例えば導電膜のパターニングが行われる。そして、フォトリソグラフィ技術によって導電膜を形成する際には、上記アライメントマーク領域 1 5 1 b と半導体基板 1 0 1 との段差を検出することで、導電膜のパターンを形成するためのマスクと半導体基板 1 0 1 上の素子領域との位置合せが行われることとなる。

【 0 0 1 1 】

ところで、こうした構造を有する半導体装置にあっては、上記位置検出溝 1 5 1 b と半導体基板 1 0 1 との段差がある程度大きくなければ、上記位置合せのためにこれを精度よく検出することが困難である。

【 0 0 1 2 】

一方、半導体装置の微細化を促進する観点からすれば、上記素子分離領域 1 4 1 b と素子領域との段差は可能な限り小さく形成されることが望ましい。これは、半導体装置の微細化に伴って、フォトリソグラフィ工程におけるフォーカスマージンも小さくなり、所望の精度のパターンを得るための下地膜の平坦性に対する要求が益々厳しいものになってきているという事情による。

【 0 0 1 3 】

しかし、上記構造の半導体装置、あるいはその製造方法によれば、STI法による素子分離領域の形成方法をそのまま用いてアライメントマーク領域の形成も併せて行うことができるとはいえ、それら各領域の構造は基本的に同一の構造しか採り得ないため、これら相反する要求に応えるにも自ずと限界があった。また、アライメントマークとする段差の形成のみを目的とした別途の工程を追加することは、製造コストの増加につながり望ましくない。

【 0 0 1 4 】

本発明は上記実情に鑑みてなされたものであり、その目的は、STI法による素子分離溝の実現に際し、何ら新たな工程を追加することなく、素子分離領域と素子領域との段差の抑制、並びに位置合せ精度の確保を併せ図ることのできる半導体装置及びその製造方法を提供することにある。

【 0 0 1 5 】

【課題を解決するための手段】

以下、上記目的を達成するための手段及びその作用効果について記載する。

請求項1に記載の発明は、半導体基板上に素子分離溝が形成された半導体装置において、前記素子分離溝の溝深さに略等しく、且つ同素子分離溝に埋め込まれた絶縁物と同一物質の絶縁物はその溝縁に満たない高さまで埋め込まれた位置検出溝を備えることをその要旨とする。

【 0 0 1 6 】

上記構成によれば、素子分離領域の形成後の工程において成膜する膜のパターニングを行うに際して、位置検出溝には絶縁物がこの溝の側壁の高さよりも低いところまでしか形成されていないため、この位置検出溝と他の部分との段差を利用して同パターニングに用いるマスクと半導体基板との位置合せを精度良く行うことができるようになる。しかもこの位置検出溝は、素子分離溝のための基板の開口や、絶縁膜の堆積、平坦化のためのエッチングの各工程によって形成することができるため、この位置検出溝の形成のために何ら新たな工程を設ける必要もない。

【 0 0 1 7 】

11/2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Masaki HIRASE et al.

Serial Number: NEW

Filed: July 20, 2001

For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Director of Patents and Trademarks
Washington, D. C. 20231

Date: July 20, 2001

Sir:

The benefit of the filing date of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-223125, Filed July 24, 2000

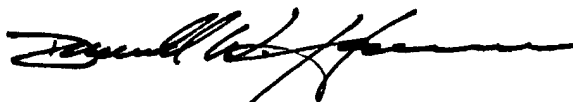
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

Atty. Docket No. **010917**
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/llf

11000 U.S. PTO
09/908941



#4
07
2/11/02

【書類名】 特許願

【整理番号】 NBC1002055

【提出日】 平成12年 7月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/76
H01L 21/027

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 平瀬 征基

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号
三洋電機株式会社内

【氏名】 嶋田 聡

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話03-3837-7751 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特 2 0 0 0 - 2 2 3 1 2 5

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に素子分離溝が形成された半導体装置において、
前記素子分離溝の溝深さに略等しく、且つ同素子分離溝に埋め込まれた絶縁物
と同一物質の絶縁物はその溝縁に満たない高さまで埋め込まれた位置検出溝を備
えることを特徴とする半導体装置。

【請求項 2】 半導体基板に素子分離溝及び位置検出溝を形成する工程と、
前記素子分離溝及び位置検出溝に絶縁物を充填する工程と、
前記素子分離溝内に充填された絶縁物の上方領域に保護マスクを形成して前記
絶縁物をエッチングした後、基板上面を平坦化する工程と
を備える半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、
前記半導体基板に対する素子分離溝及び位置検出溝の形成は、半導体基板の上
に同素子分離溝及び位置検出溝の開口パターンに対応して開口されたパターン膜
をマスクとして用いたエッチングにて行い、その後、同パターン膜が形成された
状態で前記絶縁物の充填を行うことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、
前記平坦化は、前記パターン膜をストッパとした回転研磨法によって行われる
ことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、
前記半導体基板がシリコン基板であり、前記絶縁物がシリコン酸化膜であり、
前記パターン膜がシリコン窒化膜であり、これらシリコン窒化膜と半導体基板と
の間には予めシリコン酸化膜が成膜されることを特徴とする半導体装置の製造方
法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、詳しくはフォトマスクの位置

請求項 2 記載の発明は、半導体基板に素子分離溝及び位置検出溝を形成する工程と、前記素子分離溝及び位置検出溝に絶縁物を充填する工程と、前記素子分離溝内に充填された絶縁物の上方領域に保護マスクを形成して前記絶縁物をエッチングした後、基板上面を平坦化する工程とを備えることをその要旨とする。

【 0 0 1 8 】

上記製造方法によれば、素子分離溝と位置検出溝とに絶縁物を充填した後、素子分離溝内に形成された絶縁物の上方領域に保護マスクを形成してから絶縁物をエッチングするために、位置検出溝内に充填された絶縁物を選択的にエッチングすることができるようになる。更に、このとき素子分離溝と位置検出溝とに絶縁物を充填する際に素子領域に堆積する絶縁物をもエッチングするようにすれば、素子領域と素子分離領域との段差を抑制することができるため、これら両領域の平坦化を容易に行うことができるようになる。

【 0 0 1 9 】

請求項 3 の発明は、請求項 2 記載の発明において、前記半導体基板に対する素子分離溝及び位置検出溝の形成は、半導体基板の上に同素子分離溝及び位置検出溝の開口パターンに対応して開口されたパターン膜をマスクとして用いたエッチングにて行い、その後、同パターン膜が形成された状態で前記絶縁物の充填を行うことをその要旨とする。

【 0 0 2 0 】

上記製造方法によれば、パターン膜が形成された状態で絶縁物の充填がなされるため、半導体基板表面を保護しつつ絶縁物を充填をすることができるようになる。しかも、このパターン膜は同絶縁物をエッチングする等、絶縁物の充填以降の工程においても半導体基板を保護するために用いることができる。

【 0 0 2 1 】

請求項 4 記載の発明は、請求項 3 記載の発明において、前記平坦化は、前記パターン膜をストッパとした回転研磨法によって行われることをその要旨とする。

上記製造方法によれば、回転研磨法によって素子領域と素子分離領域とを好適に平坦化することができるようになる。

【 0 0 2 2 】

請求項 5 記載の発明は、請求項 4 記載の発明において、前記半導体基板がシリコン基板であり、前記絶縁物がシリコン酸化膜であり、前記パターン膜がシリコン窒化膜であり、これらシリコン窒化膜と半導体基板との間には予めシリコン酸化膜が成膜されることをその要旨とする。

【 0 0 2 3 】

上記製造方法によれば、素子分離溝及び位置検出溝の形成に用いるマスクとしての、及び絶縁物の充填時やその後の工程における半導体基板の保護膜としての開口パターン膜の有する作用効果を、シリコン窒化膜を用いて好適に奏することができるようになる。更に、シリコン窒化膜とシリコン基板との間にシリコン酸化膜を形成することで、シリコン窒化膜によってシリコン基板にかかる応力を緩和することもできる。

【 0 0 2 4 】

また、シリコン酸化膜との選択比を保ちつつ窒化シリコン膜を除去する工程によって、シリコン酸化膜からなる絶縁物と基板表面との間に段差を設けることができる。この段差は、その後の工程における絶縁物のエッチングを補償する機能を有し、これにより最終的に基板表面と略等しい高さにて同絶縁物を形成することもできる。

【 0 0 2 5 】

【発明の実施の形態】

以下、本発明にかかる半導体装置を MOS (Metal Oxide Semiconductor) 型トランジスタを備えた半導体装置に適用した一実施形態について、図面を参照しつつ説明する。

【 0 0 2 6 】

図 1 に本発明にかかる半導体装置の断面図を示す。

この半導体装置は、シリコンからなる半導体基板 1 上に区画形成された素子領域 2 0 や素子領域 3 0 を備えている。そして、これら各素子領域 2 0、3 0 は、素子分離溝 4 0 及び同素子分離溝 4 0 内に形成されたシリコン酸化膜 (SiO_2) からなる絶縁物 4 1 によって互いに分離されている。これら素子領域 2 0、3 0 上には、様々な素子が形成されるとともに、これらの素子の上方は層間絶縁膜

60で覆われている。

【0027】

更に、半導体基板1上は、アライメントマーク用の溝（位置検出溝）50を備えている。この位置検出溝50内には、素子分離溝40内に形成されている絶縁物41と同じ物質であるシリコン酸化膜からなる絶縁物51が、位置検出溝50の溝縁に満たない高さまで形成されている。このように、位置検出溝50においては、絶縁物51によってその溝が完全に埋め尽くされていないため、素子分離溝40と絶縁物41とを備える素子分離領域が形成された後、例えば、ゲート電極31等の導電膜を形成する際に、ゲート電極のパターン形成のためのマスクと半導体基板1との位置合せに際し、この位置検出溝50と他の領域との段差を用いることができるようになる。

【0028】

なお、上記位置検出溝50内であって、絶縁物51の上方には、例えば、ゲート電極31形成のための膜と同じ物質52が堆積されている。

次に、本実施形態にかかる上記半導体装置の製造方法における製造工程について、図2及び図3を用いて説明する。

【0029】

まずこの製造工程においては、図2（a）に示すように、半導体基板1上に温度950℃、ドライ酸素雰囲気中での熱酸化により20nmのシリコン酸化膜11'を形成し、次に以下の条件で200nmのシリコン窒化膜12aを減圧CVD法にて成膜した後、リソグラフィ技術によってレジスト13をパターニングする。

温度 : 770℃

圧力 : 66.5Pa

Si₂Cl₂H₂ガスの流量 : 1.2×10⁻⁴m³/分（標準状態）

NH₃ガスの流量 : 1.2×10⁻³m³/分（標準状態）

次に、レジスト13をマスクとして、マグネトロンRIE（Reactive Ion Etc

hing) により、シリコン窒化膜 1 2 a とシリコン酸化膜 1 1' とを以下の条件でエッチングすることで、図 2 (b) に示される態様にて、素子分離溝 4 0 及び位置検出溝 5 0 の開口パターンを有するシリコン窒化膜 1 2 b とシリコン酸化膜 1 1 とを形成する。

圧力	: 5. 3 2 P a
R F (1 3. 5 6 H z) パワー	: 6 0 0 W
磁界	: 6 0 G a u s s
C H F ₃ の流量	: 4. 0 × 1 0 ⁻⁵ m ³ / 分 (標準状態)
O ₂ の流量	: 5 × 1 0 ⁻⁶ m ³ / 分 (標準状態)
A r の流量	: 3 × 1 0 ⁻⁵ m ³ / 分 (標準状態)

そして、硫酸過水によりレジスト 1 3 を除去した後、シリコン窒化膜 1 2 b をマスクとして、マグネトロン R I E によって以下の条件で半導体基板 1 をエッチングして、図 2 (b) に示される態様にて、同半導体基板 1 に素子分離溝 (トレンチ) 4 0 及び位置検出溝 5 0 を、深さ 3 5 0 n m にて形成する。

圧力	: 3. 9 9 P a
R F (1 3. 5 6 H z) パワー	: 4 5 0 W
磁界	: 2 5 G a u s s
H B r の流量	: 1. 0 × 1 0 ⁻⁵ m ³ / 分 (標準状態)
O ₂ の流量	: 8. 0 × 1 0 ⁻⁶ m ³ / 分 (標準状態)
N F ₃ の流量	: 1. 5 × 1 0 ⁻⁵ m ³ / 分 (標準状態)

次に、図 2 (c) に示すように、HDP-CVD法により、以下の条件にて基板全面にシリコン酸化膜 1 4 を 6 0 0 n m 堆積する。

L F (3 5 0 k H z) パワー	: 2 8 5 0 W
H F (1 3. 5 6 H z) パワー	: 1 8 0 0 W

SiH_4 の流量	: $8.0 \times 10^{-5} \text{ m}^3/\text{分}$ (標準状態)
O_2 の流量	: $1.15 \times 10^{-4} \text{ m}^3/\text{分}$ (標準状態)
Arの流量	: $5.0 \times 10^{-5} \text{ m}^3/\text{分}$ (標準状態)

次に、図3 (a) に示すように、レジスト15をマスクとしたリソグラフィ技術によって、位置検出溝50内に堆積された絶縁物や基板1の表面から突出した絶縁物を、先の図2 (b) に示したシリコン窒化膜12aのエッチング条件と同じ条件の下、マグネトロンRIEによって400nmエッチングする。このエッチングによって、同図3 (a) に示されるように、位置検出溝50内には、その溝縁に満たない高さにて絶縁物が残留されるようになる。図3 (a) においては、この位置検出溝50内に残留した絶縁物を絶縁物51aとして表記している。また、この位置検出溝50内の絶縁物のエッチングと同時に上記シリコン酸化膜14の突出した領域、すなわち同シリコン酸化膜14の基板面からの高さが他と比べて相対的に高くなっている領域の上方をエッチングして高さの軽減された絶縁物14'を形成することで、後の工程において半導体基板1上の平坦化を容易に行うことができるようにしている。

【0030】

上記エッチングの後、レジスト15を硫酸過水を用いて除去し、シリコン窒化膜12bをストッパ膜としてCMP法によって半導体基板1上を平坦化する。このときの条件は、回転速度が30rpmであり、研磨圧力が $4.9 \times 10^3 \text{ kg/m}^2$ の条件である。このとき、平坦化されたシリコン窒化膜12cの膜厚は、100nmとなる。なお、図3 (b) においては、平坦化後のシリコン酸化膜について、上記素子分離溝40内に埋め込まれているものを絶縁物41aとして表記してある。

【0031】

次に、図3 (c) に示すように、熱リン酸によって上記平坦化されたシリコン窒化膜12cを選択的に除去した後、フッ酸によりシリコン酸化膜11を除去する。なお、先の図3 (b) の工程において示したように、シリコン窒化膜12cはその膜厚が100nmにて形成されるため、同シリコン窒化膜12cを除去した

時点において、素子分離溝 4 0 内に形成された絶縁物の高さは、素子領域 2 0、3 0 の表面の高と比較して 1 0 0 n m 高いものとなっている。そして、この素子領域と絶縁物との段差は、上記フッ酸によってシリコン酸化膜 1 1 を除去する工程から導電膜のパターニング工程までの間にエッチングされる量に設定することにより、先の図 1 に示すように素子分離溝 4 0 内に形成される絶縁物 4 1 の高さと素子領域 2 0、3 0 の高さとを略一致させることができる。なお、図 3 (c) においては、上記シリコン窒化膜 1 2 c とシリコン酸化膜 1 1 とを除去した段階において、素子分離溝 4 0 内に形成されている絶縁物を 4 1 b として表記した。

【 0 0 3 2 】

そして、この素子領域 2 0、3 0 の表面の高さと絶縁物 4 1 の高さが略一致しているにもかかわらず、位置検出溝 5 0 内に形成された絶縁物 5 1 (図 3 (c) では、同位置検出溝 5 0 内に残留している絶縁物 5 1 b) は、先の図 1 に示されるように、これら素子領域 2 0、3 0 等の高さとの間に段差を有するものとなっている。したがって、素子領域形成後の導電膜等のパターニングに際して、この段差を用いることで、パターニングに用いるマスクと半導体基板 1 との位置合せを行うことができるようになる。

【 0 0 3 3 】

以上説明した本実施形態によれば、以下の効果が得られるようになる。

(1) 位置検出溝 5 0 内に形成される絶縁物 5 1 の高さが、同位置検出溝 5 0 の側壁の高さよりも低いために、半導体基板 1 における同位置検出溝 5 0 とそれ以外との領域との段差を利用して素子分離領域形成後の工程における導電膜形成のためのマスクと半導体基板との位置合せを好適に行うことができる。

【 0 0 3 4 】

(2) 素子分離溝 4 0 内及び位置検出溝 5 0 内に絶縁物 1 4 を充填した後、基板 1 表面から突出した絶縁物や位置検出溝 5 0 内に充填された絶縁物を選択的にエッチングすることで、後の平坦化を簡易に行うことができるとともに、位置検出溝 5 0 と他の領域との間に段差を形成することができる。

【 0 0 3 5 】

(3) 回転研磨法によって素子領域 2 0 及び 3 0 と素子分離領域とを確実に平

平坦化することができる。

(4) シリコン窒化膜 1 2 a ~ 1 2 c を用いることで、素子分離溝 4 0 及び位置検出溝 5 0 形成のためのマスクの役割と、同半導体基板 1 の保護膜としての役割とを好適に果たすことができる。

【 0 0 3 6 】

(5) 平坦化後のシリコン窒化膜 1 2 c の膜厚を調整することで、その後の工程において素子分離溝 4 0 内に埋め込まれた絶縁物のエッチング量を見越して、同絶縁物の表面を所望の高さに形成することができる。

【 0 0 3 7 】

なお、上記本実施形態は、以下のように変更して実施してもよい。

・上記実施形態においては、素子分離溝及び位置検出溝形成のためのマスクとしてシリコン窒化膜を用いたが、これに限られない。

【 0 0 3 8 】

・更に、同マスクは絶縁物充填前に除去してしまってもよい。

・上記実施形態においては、回転研磨法を用いて半導体基板を平坦化したが、平坦化の方法はこれに限られない。

【 0 0 3 9 】

・上記実施形態において用いたエッチング手法や膜厚等については、適宜変更して実施してもよい。

・更に、素子分離領域形成後、始めにフォトリソグラフィ技術を用いる工程が必ずしも導電膜を形成する工程でなくてもよい。半導体基板に S T I 法によって素子分離領域を形成し、その表面を平坦化した後、任意のパターンを形成するための位置合せを的確に行い得る半導体装置、あるいはその製造方法として本発明は有効である。

【図面の簡単な説明】

【図 1】 本発明にかかる半導体装置の一実施形態について、その断面構造を示す断面図。

【図 2】 同実施形態にかかる半導体装置の製造方法について、その製造手順を示す断面図。

【図 3】 同実施形態にかかる半導体装置の製造方法について、その製造手順を示す断面図。

【図 4】 素子分離溝の形成手順の一例を示す断面図。

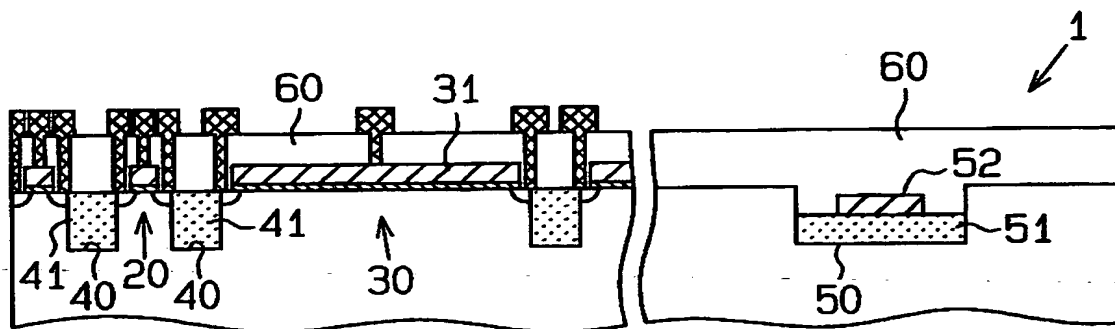
【図 5】 素子分離溝の形成手順の一例を示す断面図。

【符号の説明】

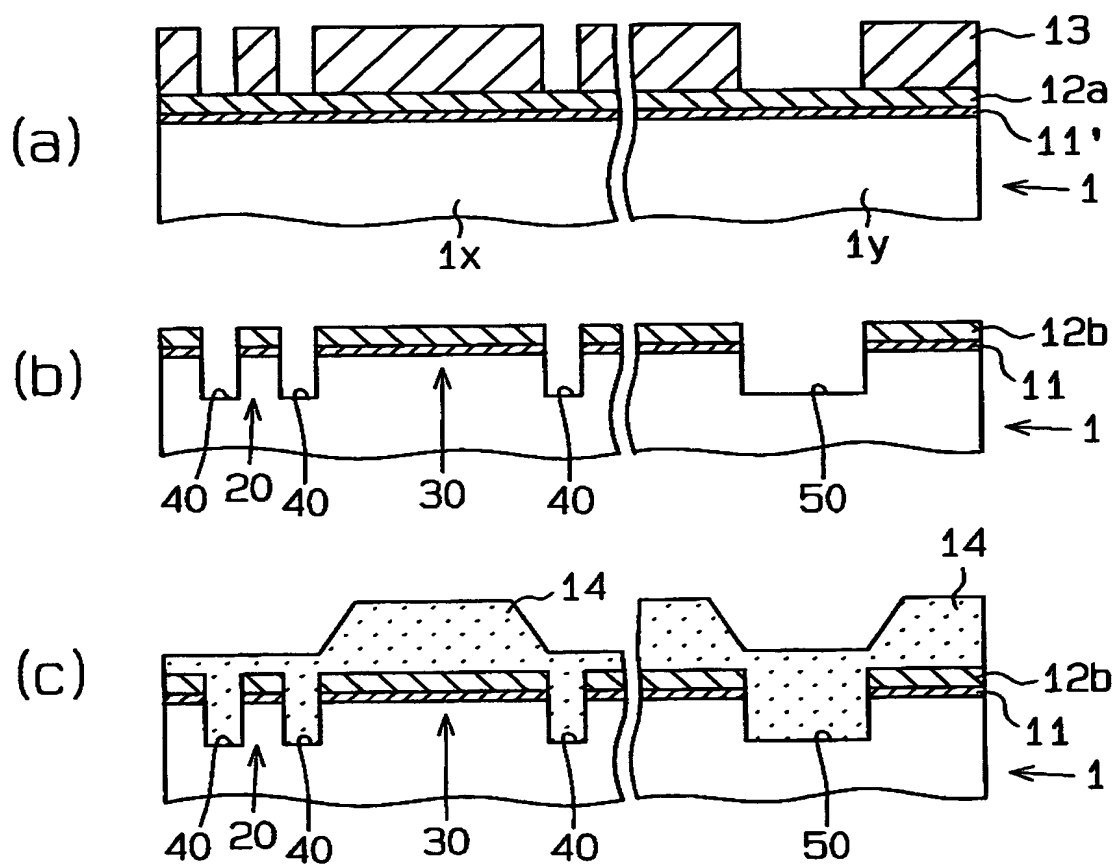
1、101…半導体基板、11、111…シリコン酸化膜、12a、12b、12c、112a、112b、112c…シリコン窒化膜、13、113、15、115…レジスト、14…シリコン酸化膜、20、30…素子領域、40、140…素子分離溝、41、41a、41b、51、51a、141a、141b、151a、151b…絶縁物、52…物質、60…層間絶縁膜。

【書類名】 図面

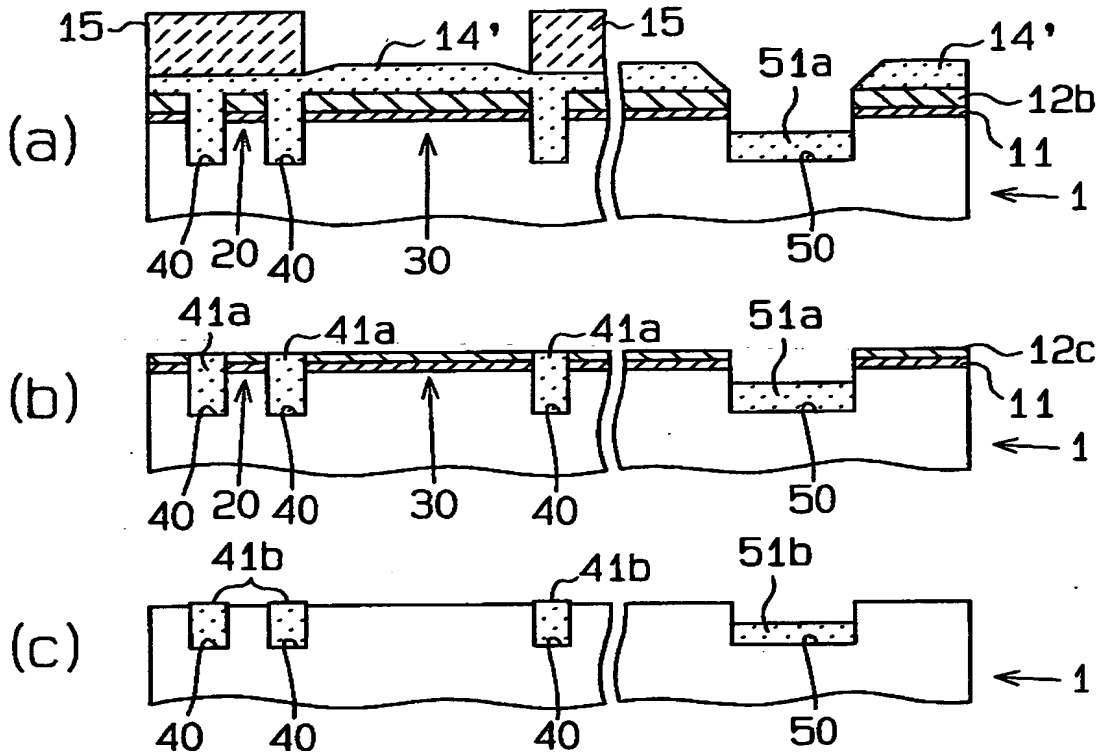
【図 1】



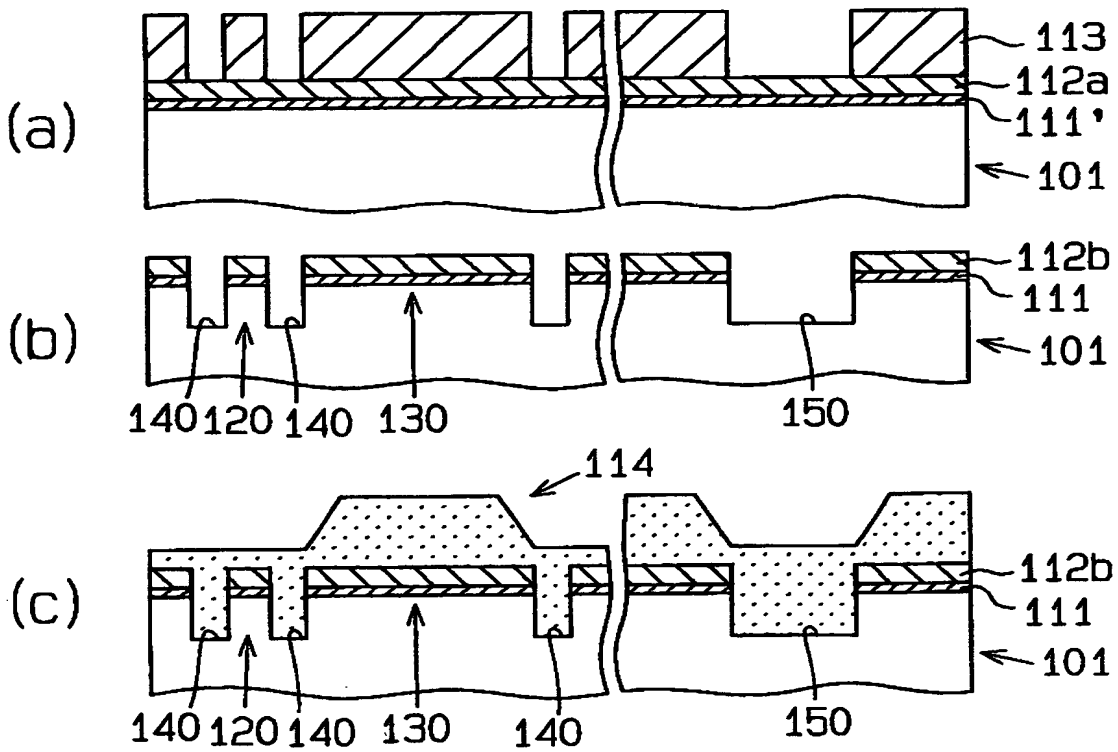
【図 2】



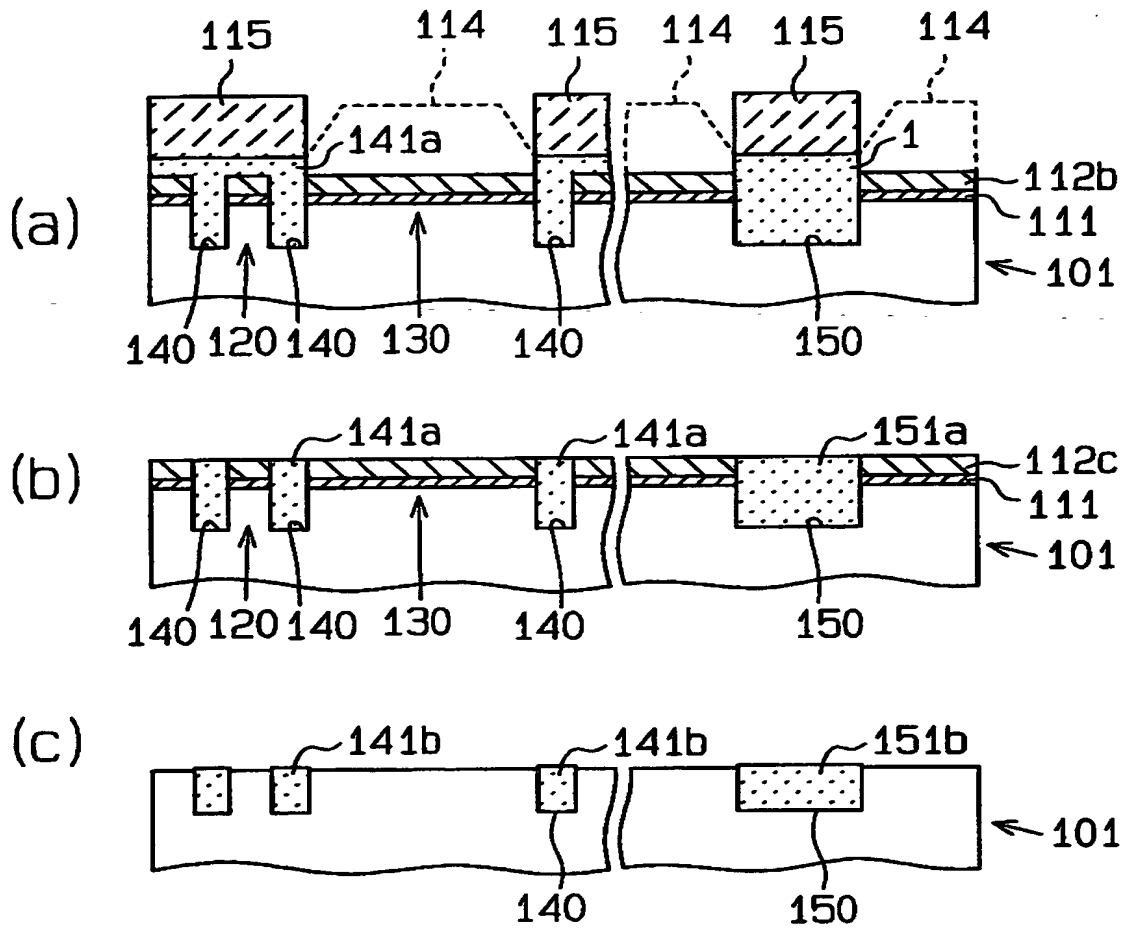
【図3】



【図4】



【図 5】



【書類名】 要約書

【要約】

【課題】 S T I 法による素子分離溝の実現に際し、何ら新たな工程を追加することなく、素子分離領域と素子領域との段差の抑制、並びに位置合せ精度の確保を併せ図ることのできる半導体装置及びその製造方法を提供する。

【解決手段】半導体基板 1 上には、素子分離溝 4 0 や位置検出溝 5 0 が形成されている。この素子分離溝 4 0 と同素子分離溝 4 0 内に形成されている絶縁物 4 1 によって素子分離領域が形成され、同素子分離領域によって半導体基板 1 が素子領域 2 0 や素子領域 3 0 に分割されている。また、位置検出溝 5 0 には、溝縁に満たない高さまで絶縁物 5 1 が形成されている。このような態様にて絶縁物 5 1 が形成された位置検出溝 5 0 と半導体基板 1 の他の領域との段差は、前記素子分離領域形成後、導電膜等の形成に際し基板とパターニングのためのマスクとの位置合せに用いられる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社